

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-114868

(43)Date of publication of application : 03.07.1984

(51)Int.Cl.

H01L 29/78  
H01L 27/08  
// H01L 29/62

(21)Application number : 57-224160

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.12.1982

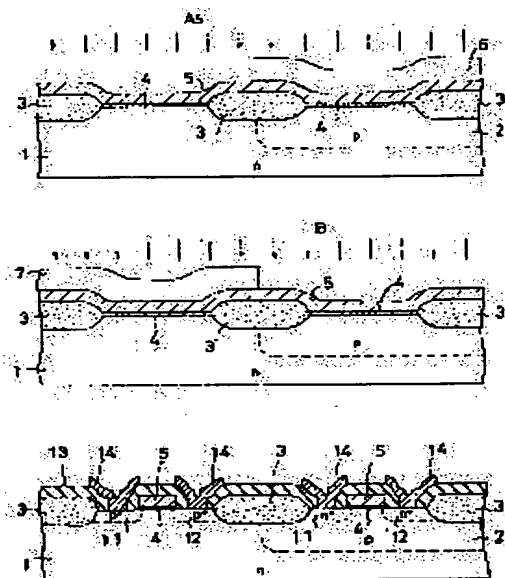
(72)Inventor : SUGURO KYOICHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PURPOSE:** To control the threshold voltage of a gate without varying the impurity concentration of a channel region by varying the doping conditions for at least two gate electrodes formed by doping an impurity of the IIIA group or the VA group into a high melting point metallic silicide having Si component in excess.

**CONSTITUTION:** A p-well 2 is formed in an n type Si substrate 1, a field oxide film 3 and a gate oxide film 4 are formed and an Mo-Si<sub>2.5</sub> alloy film 5 having Si component in excess is deposited over the entire surface. Using resists 6 and 7, boron and arsenic are so ion-implanted to the alloy film 5 as to have the threshold voltage set respectively. The formation of a source and a drain 11 and 12, the adhesion of an insulation film 13, and the formation of an Al wiring pattern 14 are performed, thus obtaining a C-MOS transistor. Thereby, the threshold voltages of the followings can be set at desired values in a p-channel transistor and an n-channel transistor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—114868

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
27/08  
// H 01 L 29/62

識別記号

庁内整理番号  
7377—5 F  
6655—5 F  
7638—5 F

⑬ 公開 昭和59年(1984)7月3日

発明の数 2  
審査請求 未請求

(全 5 頁)

⑭ 半導体装置及びその製造方法

京芝浦電気株式会社総合研究所  
内

⑯ 特 願 昭57—224160

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭57(1982)12月21日

川崎市幸区堀川町72番地

⑲ 発 明 者 須黒恭一

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 高融点金属と該金属に対し原子比で2倍以上のシリコンとの合金膜からゲート電極を構成したMIS型半導体装置において、前記合金膜はⅢA族不純物及び~~ⅣA族不純物及び~~V族不純物の少なくとも一種がドーピングされたものであり、かつ上記合金膜からなる少なくとも2つのゲート電極で不純物ドーピング条件が異なり該電極の実効的仕事関数が異なるものであることを特徴とする半導体装置。

(2) 前記不純物ドーピング条件を異ならせる手段は、前記合金膜からなる少なくとも2つのドーピング領域で不純物種或いは不純物ドーピング量を変えるものであることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 高融点金属と該金属に対し原子比で2倍以上のシリコンとの合金膜からゲート電極を構

成したMIS型半導体装置を製造する方法において、半導体基板上にゲート絶縁膜を介して前記合金膜を被着したのち、上記合金膜にⅢA族不純物及びV族不純物の少なくとも1種をドーピングすると共に、該合金膜の少なくとも2つのゲート電極形成予定領域で不純物ドーピング条件を異ならせ、次いで上記合金膜をゲート電極パターンに加工することを特徴とする半導体装置の製造方法。

(4) 前記不純物ドーピング条件を異ならせる工程は、前記合金膜の少なくとも2つのゲート電極形成予定領域で不純物種或いは不純物ドーピング量を変えることである特許請求の範囲第3項記載の半導体装置の製造方法。

(5) 前記合金膜に不純物をドーピングする工程は、上記合金膜に不純物をイオン注入したのち、該合金膜を加熱処理することである特許請求の範囲第3項又は第4項記載の半導体装置の製造方法。

(6) 前記合金膜に不純物をドーピングする工

程は、上記合金膜上に不純物を含む絶縁膜を被着したのち、この絶縁膜及び合金膜を加熱処理して絶縁膜中の不純物を合金膜中に拡散せしめることである特許請求の範囲第3項又は第4項記載の半導体装置の製造方法。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明は、高融点金属硅化物をゲート電極材料として用いたMIS型半導体装置及びその製造方法に関する。

#### 〔発明の技術的背景とその問題点〕

近時、MIS型半導体装置のゲート電極材料として、多結晶シリコンの代りにモリブデン(Mo)やタングステン(W)等の高融点金属の硅化物が使用されている。その理由は、高融点金属硅化物の抵抗が多結晶シリコンの抵抗に比し約1桁も低く、かつ硅化物であることから後の酸化及びその他の熱処理工程で安定なためである。

一方、高融点金属硅化物はそのシリコン成分

を過剰とすることにより、絶縁膜を形成したシリコン基板との密着性及び酸化に対する安定性が増すことが知られており、高融点金属硅化物中のシリコン成分を過剰とするのが通常である。しかしながら、シリコン成分が過剰な高融点金属硅化物をMISトランジスタのゲート電極等に用いる場合、熱処理工程で金属硅化物中のシリコンがゲート絶縁膜との界面に析出し、MIS構造のフラットバンド電圧が上記析出したシリコン層の仕事関数により決定される。したがって、析出したシリコン中の不純物量によりフラットバンド電圧 $V_{FB}$ が変化することになり、その制御性は極めて困難である。このため、ゲートしきい値電圧 $V_{TH}$ の制御性も極めて悪いものであつた。

そこで最近、上記問題を解決するものとして、Mo-Si合金膜に磷をドーピングする方法が提案されている(J. Electrochem. Soc., 128, 2402(1981))。この方法では、可動イオンのゲッタリング等により、シリコン成分が過剰な

Mo-Si合金膜をゲート電極として安定化することができる。しかしながら、この方法における磷の導入法は、Mo-Si合金膜の被着時に磷を混入するものであり、同レベルのゲート配線を用いている限りMOSトランジスタのゲートしきい値電圧 $V_{TH}$ を制御することは困難である。したがって、しきい値電圧 $V_{TH}$ を制御するにはチャネル領域の不純物濃度を変える必要がある。

このように従来、MOSトランジスタのしきい値電圧 $V_{TH}$ を制御するにはチャネル領域の不純物濃度を変えなければならないが、この方法によるしきい値電圧 $V_{TH}$ の制御性は良好とは云い難いものであつた。

#### 〔発明の目的〕

本発明の目的は、集積回路内に複数のMISトランジスタを含む場合等に、チャネル領域の不純物濃度を変えことなく、ゲートしきい値電圧を制御することができ、かつその制御性の向上をはかり得る半導体装置及びその製造方法

を提供することにある。

#### 〔発明の概要〕

本発明の骨子は、ゲート電極材料としての高融点金属硅化物に任意の実効的工作関数を持たせることにより、しきい値電圧 $V_{TH}$ を制御することにある。

シリコン成分が過剰な高融点金属硅化物にIII A族若しくはVA族の不純物をドーピングすると、そのフラットバンド電圧が変化する。第1図は本発明者等の実験に基づくMo-Si合金膜に不純物をドーピングした場合の、Mo, Siの原子比とフラットバンド電圧との関係を示す特性図である。実験条件としては、6~8( $\Omega\text{cm}$ )のP形(100)Si基板上に400( $\text{\AA}$ )のゲート酸化膜を形成し、この上にMo-Si合金膜をスパッタ法で約3500( $\text{\AA}$ )堆積し、ボロン或いは磷をそれぞれ加速電圧25(KeV)、60(KeV)、ドーズ量 $1 \times 10^{14} \sim 1 \times 10^{16} (\text{cm}^{-2})$ でイオン注入したのちMo-Si合金膜を電極配線パターンに加工した。次いで、乾燥雰囲気中

にて1000(°C)、10分の酸化を行い、CVD法により5000(Å)のSiO<sub>2</sub>膜を被着したのち、POCl<sub>3</sub>を含む雰囲気中にて900(°C)、60分の加熱処理を行い、その後10(%)の水素を含む窒素雰囲気中にて450(°C)、15分の熱処理を行った。この状態での特性が第1図であり、図中○、△、□印はボロンドープの場合、●、▲、■印は磷ドープの場合を示している。

第1図から明らかなように、Mo-Si系で最もSi成分の多いMoSi<sub>2</sub>よりもSi成分が過剰なMo-Si合金にボロン或いは磷をドープすることにより、熱処理後ゲート酸化膜上に析出したSiにボロン若しくは磷がドープされ、多結晶Siにボロン若しくは磷をドープした場合と同じフラットバンド電圧V<sub>FB</sub>となることが判る。また、ボロンや磷等の注入量により、フラットバンド電圧V<sub>FB</sub>が任意に制御されることも判る。

本発明はこのような点に着目し、高融点金属と該金属に対し原子比で2倍以上のシリコンと

の合金膜からゲート電極を構成したMIS型半導体装置において、上記合金膜にⅢA族不純物及びVA族不純物の少なくとも1種をドーピングし、かつ上記合金膜からなる少なくとも2つのゲート電極で不純物ドーピング条件を変えるようにしたものである。

また本発明は、上記構成のMIS型半導体装置を製造するに際し、半導体基板上にゲート絶縁膜を介して前記合金膜を被着したのち、この合金膜にⅢA族不純物及びVA族不純物の少なくとも1種をドーピングすると共に、該合金膜の少なくとも2つのゲート電極形成予定領域で不純物ドーピング条件を異ならせ、次いで上記合金膜をゲート電極パターンに加工するようにした方法である。

#### 〔発明の効果〕

本発明によれば、シリコン成分が過剰な高融点金属シリ化合物をMISトランジスタのゲート電極として用いる場合、N<sup>+</sup>或いはP<sup>+</sup>の多結晶シリコンを用いた場合と同程度のしきい値電圧

V<sub>TH</sub>を制御性良く実現することができる。また、チャネル領域の不純物濃度を変える方法に比して、しきい値電圧V<sub>TH</sub>の制御性向上をはかれる等の利点がある。

#### 〔発明の実施例〕

第2図(a)~(d)は本発明の一実施例に係わるC-MOSトランジスタの製造工程を示す断面図である。まず、第2図(a)に示す如く、磷を $2 \times 10^{15} \text{ cm}^{-2}$ ドープしたN形Si基板1にボロン濃度 $5 \times 10^{15} \text{ cm}^{-2}$ のPウエル2を形成したのち、基板1上にフィールド酸化膜3及び300Åのゲート酸化膜4を形成した。続いて、スパッタ法等を用いSi成分過剰なMo-Si<sub>2.5</sub>合金膜5を全面に約3500(Å)堆積した。

次に、第2図(b)に示す如くPウエル領域2上のみをレジスト6で覆い、露出している合金膜5に設定したしきい値電圧V<sub>TH</sub>となるべくボロンを加速電圧25(KeV)、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入した。次いで、第2図(c)に示す如くレジスト6を除去し、Pウエル領域2

上以外を新たなレジスト7で覆い、先と同様に露出している合金膜5に砒素を加速電圧120(KeV)、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入した。その後、熱処理を施し、合金膜5に注入されたイオンを活性化した。

次に、周知の技術を用い第2図(d)に示す如く合金膜5のパターニング、ソース・ドレイン11、12の形成、絶縁膜13の被着、コンタクトホール形成及びA<sub>1</sub>配線パターン14の形成を行うことにより、C-MOSトランジスタが完成することになる。かくして作成されたC-MOSトランジスタは、Pチャネルトランジスタにおいてそのしきい値電圧V<sub>TH</sub>が-0.25(V)となり、nチャネルトランジスタにおいてそのしきい値電圧V<sub>TH</sub>が、-0.20(V)となり、所望するV<sub>TH</sub>に一致させる事が可能となつた。

なお、本発明は上述した実施例に限定されるものではない。例えば、前記合金膜中のMoの代りには、VB族やVIB族の高融点金属を用

いてもよい。また、合金膜中のSi成分は、高融点金属に対するSiの比が2倍以上であればよい。さらに、イオン注入する不純物種は砒素やホロンに限るものではなく、ⅢA族若しくはVA族であればよい。また、C-MOSトランジスタに限らず、各種のMIS型半導体装置に適用できるのは勿論のことである。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

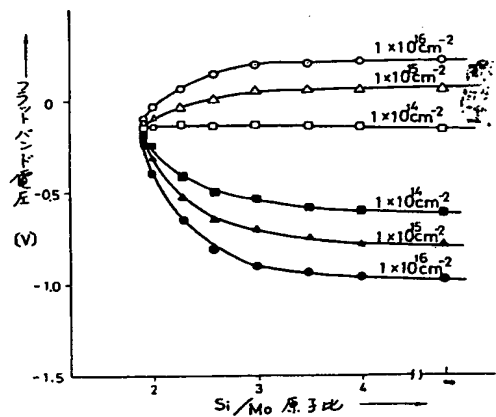
#### 4. 図面の簡単な説明

第1図は本発明の概要を説明するためのものでSi/Mo原子比とフラットバンド電圧との関係を示す特性図、第2図(a)~(d)は本発明の一実施例に係わるC-MOSトランジスタの製造工程を示す断面図である。

1…シリコン基板、2…Pウェル、3…フィールド酸化膜、4…ゲート酸化膜、5…Mo-Si合金膜、6, 7…レジスト、11, 12…ソース・ドレイン。

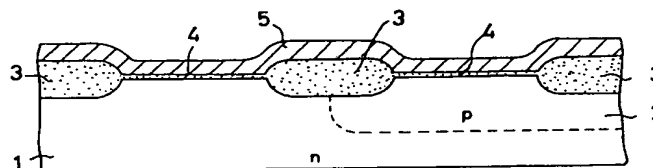
出願人代理人 弁理士 鈴 江 武彦

第 1 図

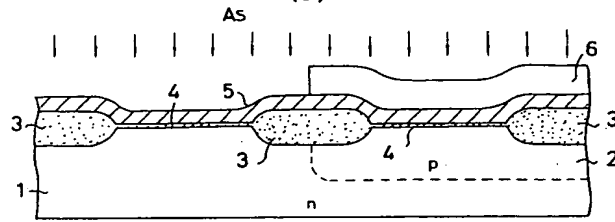


第 2 図

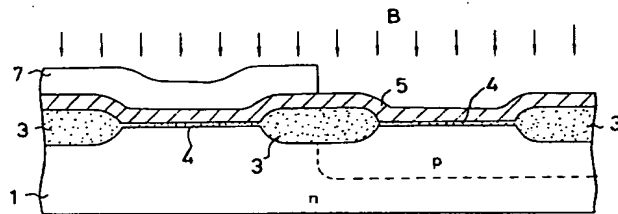
(a)



第 2 圖  
(b)



(c)



(d)

